

Technical NOTE



「Cyclone V SoC Development Kit」
<http://go.aps-web.jp/11-altera>
QRコードアプリで関連デモ動画を再生できます。

AXIバスとFPGAインターコネクト Cyclone® V SoC / Arria® V SoC

広帯域幅 HPS-FPGAインタコネクト ト・バックポーン

HPS (Hard Processor System) とFPGAは独立して動作可能ですが、高性能 ARM AMBA® AXIバス・ブリッジによる広帯域幅システム・インタコネクトを介して緊密に結合されています。FPGA ファブリック内の IP バス・マスタは、FPGA-HPS インタコネクトを介して HPS バス・スレーブにアクセスできます。同様に、HPSバス・マスタは、HPS-FPGAブリッジを介してFPGAファブリック内のバス・スレーブにアクセスできます。いずれのブリッジも AMBA AXI-3準拠であり、同時リード/ライト・トランザクションをサポートしています。追加された32ビットLW HPS-FPGAブリッジは、HPSとFPGAファブリック内のペリフェラルの間のインタフェースを提供します。

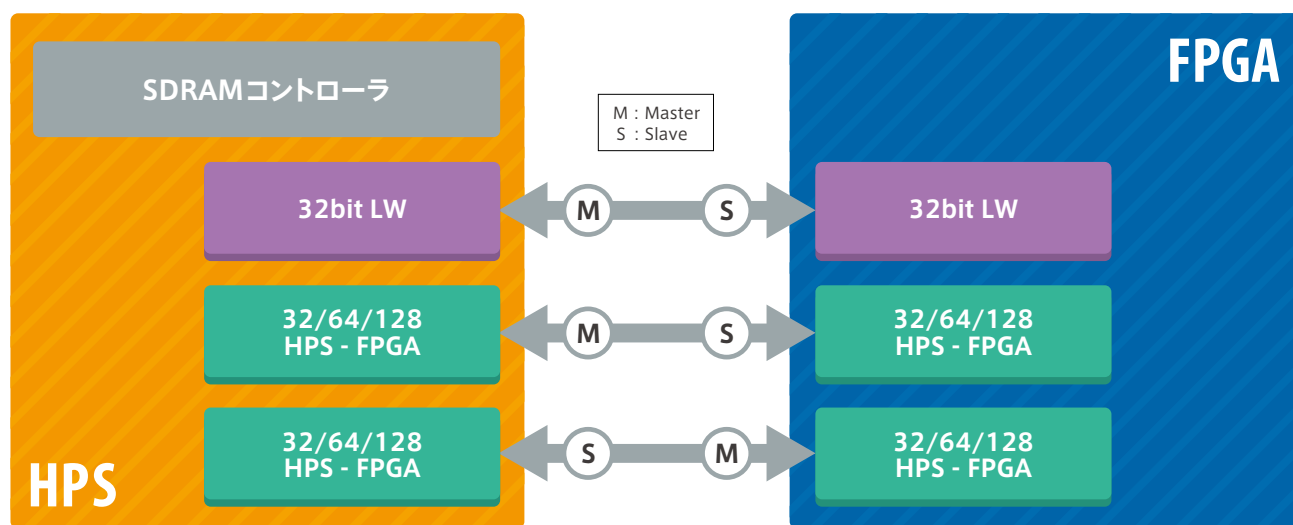
広帯域幅に最適化された、コンフィ ギュレーション可能な32/64/128 ビットAMBA AXIインタフェース

- HPS-FPGA :
HPSからFPGAに対して、高速データ転送を行うときに使用します。
- FPGA-HPS :
FPGAからHPSに対して、高速データ転送を行うときに使用します。
- FPGA-HPS SDRAM コントローラ :
6個のコマンド・ポート、4個の64ビット・リード・データ・ポート、および4個の64ビット・ライト・データ・ポートを持つ、コンフィギュレーション可能なマルチポート・インタフェース

32ビットLightWeightバス

- 32ビット幅で、FPGAファブリックとHPS間でデータ交換を行うときに使用します。
- 広帯域幅のAMBA AXIバスと異なり、比較的軽いデータ受け渡しに最適なバスI/Fです。
- FPGAからHPSに対して割り込み信号を入れたい、HPSからFPGAに割り込みをかけることも可能です。

FPGA側にNios® IIを搭載してヘテロ・ジーニアスでシステム構築した場合など、お互いのコア間通信するための機能として使用することも可能。また、FPGAコンフィギュレーション・マネージャを搭載しているため、簡単にFPGAのコンフィグレーションが変更でき、柔軟性の高いシステムが構築可能です。



Cyclone V SoC / Arria V SoC 広帯域幅バスシステム