

Technical NOTE



「Debug "hello world" on ADP-XC5 FPGA board」
<http://go.aps-web.jp/11-andes>
QRコードアプリで関連デモ動画を再生できます。

SoC向け 32-bit プロセッサ AndeCore™ N13 family

高性能AndeCore™N13ファミリは、ホームエンターテインメント、デジタルセットトップボックス、ネットワーキング、モバイルインターネットデバイスなどの市場のパフォーマンス要件に対応するように設計されています。メモリ管理ユニットと8段のパイプラインを実装し、1GHz以上のクロックで動作し、2.05DMIPS/MHzというパフォーマンスを提供します。

主な特徴

CPUコア

- 2.05DMIPS/MHz, 3.13CoreMark/MHz
- AndeStar™V3アーキテクチャ
- 8段パイプライン
- 16/32ビット混在可能な命令フォーマット
- 32個の汎用32ビットレジスタ
- シャドウのスタックポインタ
- 動的分岐予測 (32/64/128/256 BTB)
- 積和および積差命令
- 整列・非整列の複数ワードのロード/ストア

- SW電源管理のための待機命令
- 16入力までの割り込みコントローラ内蔵
- 3階層のHWレベルのネスト割り込み
- オプションによる統一または外部のローカルメモリインタフェース
- ユーザおよびスーパーユーザの両モードをサポート
- メモリマップドI/O
- コプロセッサインタフェース

メモリ管理・保護機能

- TLB (Translation Lookaside Buffer)
- オプションによるハードウェアページテーブルウォーカー
- 2グループのページサイズをサポート
- 8個の領域のメモリを保護

メモリサブシステム

- 命令&データキャッシュ
- 命令&データローカルメモリ (ILM/DLM) バスインタフェース
- 同期/非同期AHBバス：1または2ポート
- 同期AXIバス：0、1または2ポート

主な利点

性能

- 非常にコンパクトなプログラムサイズ
- ほとんどの32ビット動作は1サイクル実行
- 大規模な分岐予測による高速な分岐制御
- 高速メモリアクセス

拡張性

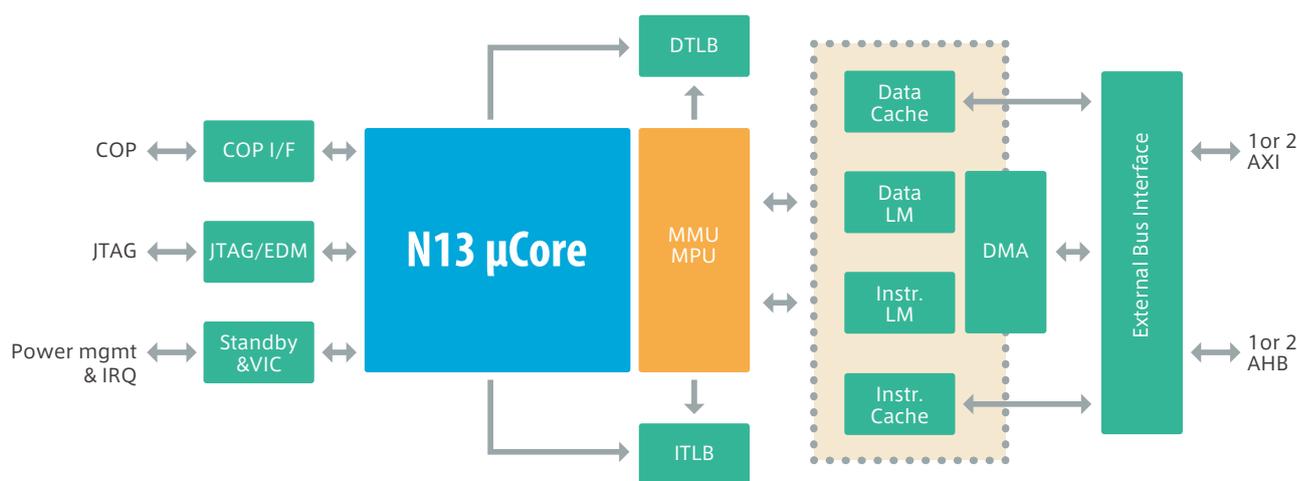
- C言語による組み込みプログラミング
- JTAGデバッグ、パフォーマンス監視機能
- バイエンディアンでのデータアクセス

電力管理

- クロックおよび論理回路のゲーティング
- スタンバイ命令による電力管理
- コア対バスのクロック比はN対1

無料セミナー情報 (定員80名)

日時：2015年10月14日 (水) 13:30～
場所：新横浜国際ホテル
お問い合わせ：david.chi@tritoncorp.jp



AndeCore™ N13 family : Functional Blocks

日本代理店：トリトン株式会社
TEL：080-4002-0768
E-mail：david.chi@tritoncorp.jp



Andes Technology
<http://www.andestech.com/>