

Technical NOTE



「無償評価版ダウンロード」
<http://go.aps-web.jp/14-iar>
QRコードアプリで最新情報をご覧ください。

高性能・高信頼性の組み込みシステムを実現 IAR Embedded Workbench for ARM

Cortex-A開発にも 最適なIDEとして進化

今回フェイスリフトされた統合開発環境「IAR Embedded Workbench for ARM」(以下、EWARM)バージョン8.10は、ユーザインタフェースを刷新しモダンなデザインに生まれ変わった。高性能はそのままに、お客様は今まで以上に直感的な操作が可能である。大容量メモリ利用システムが前提のARM Cortex-Aにおける、開発およびデバッグ時に参照する変数ウォッチやメモリ情報のためのマルチ画面レイアウトによる操作性向上もポイントだ。

多様なマルチコア構成の開発に対応

Cortex-AマルチコアのSMP (対称) 型およびAMP (非対称) 型だけでなくCortex-Mとのヘテロ型マルチコアの開発にも対応した開発環境となっている。SMPではシングルIDE、AMPではCPUコア数に応じたIDEを使用して各コアの実行および停止状態の同期や制御を実現できる。

「ベクトル化」で 繰返し算術演算を高速化

EWARMのコンパイラ最適化は業界標準のベンチマークおよび実アプリケーションコードにおいて業界トップクラス性能を誇る。ソースコードからCortex-AのSIMD拡張であるNEON命令を適用できる箇所を検出して実行コードを効率的に並び変える「ベクトル化」にも対応しているため、信号処理において大幅なパフォーマンス向上を図ることができる。コンパイラ最適化はファイル単位および関数単位でも柔軟に設定することができ、デバッグ性と高パフォーマンスの両立が可能である。

PMUとデバッグマクロで 性能評価を効率化

Cortex-A搭載のPMU (パフォーマンス・モニタ・ユニット) を使用することで、CPUの実行サイクルの他、キャッシュヒットやデータアクセスなど多様なイベントカウントを取得することができる。EWARMのデバッグマクロと組み合わせることで、

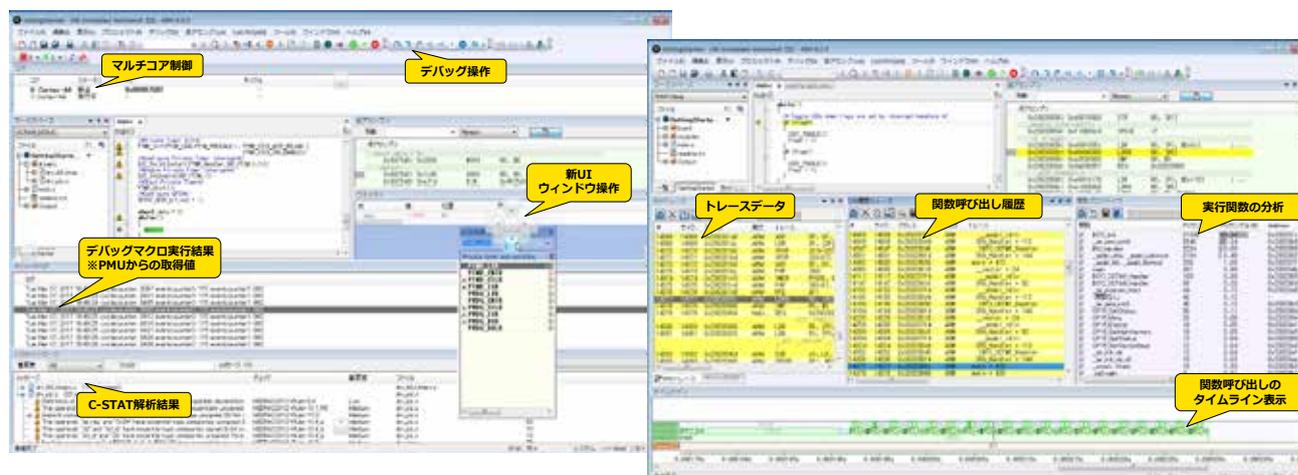
通常のデバッグ操作と並行して性能評価を進めることができる。

高性能トレース付ICEで障害解析

Cortex-AのETM/PTMトレース対応の高性能エミュレータ「I-jet Tracej」を使えば、実行履歴を取得できるようになり、問題発生時の原因解析のための工数を飛躍的に削減できる。

コード解析で隠れたリスクや 不具合を検出

静的解析ツール「C-STAT」を使用すれば、業界標準のMISRA-CおよびCERT/CWE等のコーディングルールへの準拠を手軽にチェックできる。更に動的解析ツール「C-RUN」を使用すればC言語標準では検出できない算術演算オーバーフローやヒープメモリエラーおよび境界エラー等の潜在的な問題をデバッグ時に検出・解析できるためコード品質を向上できる。



EWARM新UIでのARM Cortex-Aマルチコア対応イメージ (左) とトレースデバッグのイメージ (右)

製品や購入についてのご相談をお待ちしています <http://www.iar.com/jp/bug>
IARシステムの最新情報はSNSでも発信しています。
twitter: @IAR_JAPAN facebook: www.facebook.com/IARsystemsJapan



IARシステムズ株式会社
<https://www.iar.com/jp/>